



CYPRESS

PRELIMINARY

Quantum38K™ ISR™ CPLD

Family—Pin Tables

CPLDs at ASIC Prices™

Table 1. Pin Definition Table^[1]

Pin Name	Function	Description
CCLK	Output	Configuration Clock for serial interface with the external boot PROM
Config_Done	Output	Flag indicating that configuration is complete
Data	Input	Pin to receive configuration data from the external boot PROM
GCLK0-3	Input	Global Clock signals 0 through 3
CCE	Output	Chip select for the external boot PROM (active LOW)
GCTL0-3	Input	Global Control signals 0 through 3
GND	Ground	Ground
IO0	Input/Output	I/O for Bank 0
IO1	Input/Output	I/O for Bank 1
IO2	Input/Output	I/O for Bank 2
IO3	Input/Output	I/O for Bank 3
IO4	Input/Output	I/O for Bank 4
IO5	Input/Output	I/O for Bank 5
IO6	Input/Output	I/O for Bank 6
IO7	Input/Output	I/O for Bank 7
Reconfig	Input	Pin to start configuration of Quantum38K
Reset	Output	Reset signal to interface with the external boot PROM
TCLK	Input	JTAG Test Clock
TDI	Input	JTAG Test Data In
TDO	Output	JTAG Test Data Out
TMS	Input	JTAG Test Mode Select
V _{CC}	Power	Operating Voltage
V _{CCIO0}	Power	V _{CC} for I/O bank 0
V _{CCIO1}	Power	V _{CC} for I/O bank 1
V _{CCIO2}	Power	V _{CC} for I/O bank 2
V _{CCIO3}	Power	V _{CC} for I/O bank 3
V _{CCIO4}	Power	V _{CC} for I/O bank 4
V _{CCIO5}	Power	V _{CC} for I/O bank 5
V _{CCIO6}	Power	V _{CC} for I/O bank 6
V _{CCIO7}	Power	V _{CC} for I/O bank 7
V _{CCJTAG}	Power	V _{CC} for JTAG pins
V _{CCCNFG}	Power	V _{CC} for Configuration port

Note:

1. Pinouts for all Quantum38K100 packages are final. Pinouts for non-Quantum38K100 packages are preliminary and may change.

Table 2. 208 EQFP Pin Table

Pin	CY38015	CY38030	CY38050	CY38100
1	GCTL0	GCTL0	GCTL0	GCTL0
2	GND	GND	GND	GND
3	GCLK0	GCLK0	GCLK0	GCLK0
4	GND	GND	GND	GND
5	IO0	IO0	IO0	IO0
6	IO0	IO0	IO0	IO0
7	IO0	IO0	IO0	IO0
8	IO0	IO0	IO0	IO0
9	IO0	IO0	IO0	IO0
10	IO0	IO0	IO0	IO0
11	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}
12	IO0	IO0	IO0	IO0
13	IO0	IO0	IO0	IO0
14	IO0	IO0	IO0	IO0
15	IO0	IO0	IO0	IO0
16	IO0	IO0	IO0	IO0
17	IO0	IO0	IO0	IO0
18	IO0	IO0	IO0	IO0
19	IO0	IO0	IO0	IO0
20	NC	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}
21 ^[2]	IO0	IO0	IO0	IO0
22 ^[2]	IO0	IO0	IO0	IO0
23	V _{CC}	V _{CC}	V _{CC}	V _{CC}
24	GND	GND	GND	GND
25	NC	NC	V _{CC}	V _{CC}
26	NC	NC	GND	GND
27 ^[2]	IO0	IO0	IO0	IO0
28	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}
29	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}
30 ^[2]	IO1	IO1	IO1	IO1
31 ^[2]	IO1	IO1	IO1	IO1
32 ^[2]	IO1	IO1	IO1	IO1
33	IO1	IO1	IO1	IO1
34	IO1	IO1	IO1	IO1
35	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}
36	NC	GND	GND	GND
37	IO1	IO1	IO1	IO1
38	IO1	IO1	IO1	IO1
39	IO1	IO1	IO1	IO1
40	IO1	IO1	IO1	IO1
41	IO1	IO1	IO1	IO1
42	IO1	IO1	IO1	IO1
43	IO1	IO1	IO1	IO1

Table 2. 208 EQFP Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
44	IO1	IO1	IO1	IO1
45	V _{CC}	V _{CC}	V _{CC}	V _{CC}
46	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}
47	GND	GND	GND	GND
48	IO1	IO1	IO1	IO1
49	IO1	IO1	IO1	IO1
50	IO1	IO1	IO1	IO1
51	IO1	IO1	IO1	IO1
52	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
53	Data	Data	Data	Data
54	Config_Done	Config_Done	Config_Done	Config_Done
55	Reset	Reset	Reset	Reset
56	Reconfig	Reconfig	Reconfig	Reconfig
57	CCE	CCE	CCE	CCE
58	CCLK	CCLK	CCLK	CCLK
59	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
60	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
61	IO2	IO2	IO2	IO2
62	IO2	IO2	IO2	IO2
63	IO2	IO2	IO2	IO2
64	IO2	IO2	IO2	IO2
65	IO2	IO2	IO2	IO2
66	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
67	GND	GND	GND	GND
68	IO2	IO2	IO2	IO2
69	IO2	IO2	IO2	IO2
70	IO2	IO2	IO2	IO2
71	IO2	IO2	IO2	IO2
72	IO2	IO2	IO2	IO2
73	NC	GND	GND	GND
74	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
75	NC	V _{CC}	V _{CC}	V _{CC}
76	GND	GND	GND	GND
77	NC	NC	V _{CC}	V _{CC}
78	NC	NC	GND	GND
79	IO2	IO2	IO2	IO2
80	IO2	IO2	IO2	IO2
81 ^[2]	IO2	IO2	IO2	IO2
82 ^[2]	IO2	IO2	IO2	IO2
83 ^[2]	IO2	IO2	IO2	IO2
84	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
85	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
86 ^[2]	IO3	IO3	IO3	IO3
87 ^[2]	IO3	IO3	IO3	IO3

Table 2. 208 EQFP Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
88 ^[2]	IO3	IO3	IO3	IO3
89	NC	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
90	GND	GND	GND	GND
91	IO3	IO3	IO3	IO3
92	IO3	IO3	IO3	IO3
93	IO3	IO3	IO3	IO3
94	IO3	IO3	IO3	IO3
95	IO3	IO3	IO3	IO3
96	IO3	IO3	IO3	IO3
97	IO3	IO3	IO3	IO3
98	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
99	IO3	IO3	IO3	IO3
100	GND	GND	GND	GND
101	NC	IO3	IO3	IO3
102	IO3	IO3	IO3	IO3
103	IO3	IO3	IO3	IO3
104	IO3	IO3	IO3	IO3
105	IO4	IO4	IO4	IO4
106	IO4	IO4	IO4	IO4
107	IO4	IO4	IO4	IO4
108	IO4	IO4	IO4	IO4
109	IO4	IO4	IO4	IO4
110	IO4	IO4	IO4	IO4
111	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}
112	GND	GND	GND	GND
113	IO4	IO4	IO4	IO4
114	V _{CC}	V _{CC}	V _{CC}	V _{CC}
115	IO4	IO4	IO4	IO4
116	IO4	IO4	IO4	IO4
117	IO4	IO4	IO4	IO4
118	IO4	IO4	IO4	IO4
119	IO4	IO4	IO4	IO4
120	IO4	IO4	IO4	IO4
121	IO4	IO4	IO4	IO4
122 ^[2]	IO4	IO4	IO4	IO4
123 ^[2]	IO4	IO4	IO4	IO4
124	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}
125	NC	GND	GND	GND
126 ^[2]	IO4	IO4	IO4	IO4
127	V _{CC}	V _{CC}	V _{CC}	V _{CC}
128	GND	GND	GND	GND
129	NC	NC	V _{CC}	V _{CC}
130	NC	NC	GND	GND
131	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}

Table 2. 208 EQFP Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
132	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}
133 ^[2]	IO5	IO5	IO5	IO5
134 ^[2]	IO5	IO5	IO5	IO5
135 ^[2]	IO5	IO5	IO5	IO5
136	IO5	IO5	IO5	IO5
137	IO5	IO5	IO5	IO5
138	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}
139	IO5	IO5	IO5	IO5
140	IO5	IO5	IO5	IO5
141	IO5	IO5	IO5	IO5
142	IO5	IO5	IO5	IO5
143	IO5	IO5	IO5	IO5
144	IO5	IO5	IO5	IO5
145	IO5	IO5	IO5	IO5
146	IO5	IO5	IO5	IO5
147	IO5	IO5	IO5	IO5
148	NC	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}
149	IO5	IO5	IO5	IO5
150	IO5	IO5	IO5	IO5
151	IO5	IO5	IO5	IO5
152	GND	GND	GND	GND
153	GCLK1	GCLK1	GCLK1	GCLK1
154	GND	GND	GND	GND
155	GCTL1	GCTL1	GCTL1	GCTL1
156	TDO	TDO	TDO	TDO
157	TCLK	TCLK	TCLK	TCLK
158	TDI	TDI	TDI	TDI
159	V _{CCJTAG}	V _{CCJTAG}	V _{CCJTAG}	V _{CCJTAG}
160	GCLK2	GCLK2	GCLK2	GCLK2
161	GND	GND	GND	GND
162	TMS	TMS	TMS	TMS
163	GCTL2	GCTL2	GCTL2	GCTL2
164	IO6	IO6	IO6	IO6
165	IO6	IO6	IO6	IO6
166	IO6	IO6	IO6	IO6
167	IO6	IO6	IO6	IO6
168	IO6	IO6	IO6	IO6
169	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
170	IO6	IO6	IO6	IO6
171	IO6	IO6	IO6	IO6
172	IO6	IO6	IO6	IO6
173	IO6	IO6	IO6	IO6
174	IO6	IO6	IO6	IO6
175	IO6	IO6	IO6	IO6

Table 2. 208 EQFP Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
176	IO6	IO6	IO6	IO6
177	NC	GND	GND	GND
178	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
179	V _{CC}	V _{CC}	V _{CC}	V _{CC}
180	GND	GND	GND	GND
181	NC	NC	V _{CC}	V _{CC}
182	NC	NC	GND	GND
183 ^[2]	IO6	IO6	IO6	IO6
184 ^[2]	IO6	IO6	IO6	IO6
185 ^[2]	IO6	IO6	IO6	IO6
186	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
187	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}
188 ^[2]	IO7	IO7	IO7	IO7
189 ^[2]	IO7	IO7	IO7	IO7
190 ^[2]	IO7	IO7	IO7	IO7
191	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}
192	IO7	IO7	IO7	IO7
193	IO7	IO7	IO7	IO7
194	IO7	IO7	IO7	IO7
195	IO7	IO7	IO7	IO7
196	IO7	IO7	IO7	IO7
197	IO7	IO7	IO7	IO7
198	IO7	IO7	IO7	IO7
199	NC	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}
200	IO7	IO7	IO7	IO7
201	IO7	IO7	IO7	IO7
202	NC	IO7	IO7	IO7
203	IO7	IO7	IO7	IO7
204	IO7	IO7	IO7	IO7
205	GND	GND	GND	GND
206	GCLK3	GCLK3	GCLK3	GCLK3
207	GND	GND	GND	GND
208	GCTL3	GCTL3	GCTL3	GCTL3

Table 3. 144 FBGA Pin Table

Pin	CY38015	CY38030
A1	IO7	IO7
A2	IO7	IO7
A3	IO7	IO7
A4	V _{CCIO7}	V _{CCIO7}
A5	V _{CCIO7}	V _{CCIO7}
A6	IO7	IO7
A7	IO6	IO6
A8	V _{CCIO6}	V _{CCIO6}

Table 3. 144 FBGA Pin Table (continued)

Pin	CY38015	CY38030
A9	V _{CCIO6}	V _{CCIO6}
A10	IO6	IO6
A11	IO6	IO6
A12	IO6	IO6
B1	IO0	IO0
B2	IO0	IO0
B3	IO7	IO7
B4	V _{CC}	V _{CC}

Table 3. 144 FBGA Pin Table (continued)

Pin	CY38015	CY38030
B5	IO7	IO7
B6	IO7	IO7
B7	IO6	IO6
B8	IO6	IO6
B9	V _{CC}	V _{CC}
B10	IO6	IO6
B11	TDO	TDO
B12	TDI	TDI
C1	IO0	IO0
C2	IO0	IO0
C3	IO7	IO7
C4	IO7	IO7
C5	IO7	IO7
C6	IO7	IO7
C7	IO6	IO6
C8	IO6	IO6
C9	IO6	IO6
C10	TCLK	TCLK
C11	IO5	IO5
C12	IO5	IO5
D1	V _{CCIO0}	V _{CCIO0}
D2	V _{CC}	V _{CC}
D3	IO0	IO0
D4	IO0	IO0
D5	GCTL3	GCTL3
D6	GCLK3	GCLK3
D7	GCTL2	GCTL2
D8	GCLK2	GCLK2
D9	IO6	IO6
D10	TMS	TMS
D11	V _{CCJTAG}	V _{CCJTAG}
D12	V _{CCIO5}	V _{CCIO5}
E1	V _{CCIO0}	V _{CCIO0}
E2	IO0	IO0
E3	IO0	IO0
E4	GCTL0	GCTL0
E5	GND	GND
E6	GND	GND
E7	GND	GND
E8	GND	GND
E9	GCTL1	GCTL1
E10	IO5	IO5
E11	IO5	IO5
E12	V _{CCIO5}	V _{CCIO5}

Table 3. 144 FBGA Pin Table (continued)

Pin	CY38015	CY38030
F1	IO1	IO1
F2	IO0	IO0
F3	IO0	IO0
F4	GCLK0	GCLK0
F5	GND	GND
F6	GND	GND
F7	GND	GND
F8	GND	GND
F9	GCLK1	GCLK1
F10	IO5	IO5
F11	IO5	IO5
F12	IO5	IO5
G1	IO1	IO1
G2	IO1	IO1
G3	IO1	IO1
G4	IO1	IO1
G5	GND	GND
G6	GND	GND
G7	GND	GND
G8	GND	GND
G9	IO5	IO5
G10	IO4	IO4
G11	IO5	IO5
G12	IO5	IO5
H1	V _{CCIO1}	V _{CCIO1}
H2	IO1	IO1
H3	IO1	IO1
H4	IO1	IO1
H5	GND	GND
H6	GND	GND
H7	GND	GND
H8	GND	GND
H9	IO4	IO4
H10	IO4	IO4
H11	IO4	IO4
H12	V _{CCIO4}	V _{CCIO4}
J1	V _{CCIO1}	V _{CCIO1}
J2	V _{CC}	V _{CC}
J3	V _{CCCNFG}	V _{CCCNFG}
J4	Config_Done	Config_Done
J5	IO2	IO2
J6	IO2	IO2
J7	IO3	IO3
J8	IO3	IO3

Table 3. 144 FBGA Pin Table (continued)

Pin	CY38015	CY38030
J9	IO4	IO4
J10	IO4	IO4
J11	V _{CC}	V _{CC}
J12	V _{CCIO4}	V _{CCIO4}
K1	IO1	IO1
K2	Data	Data
K3	Reconfig	Reconfig
K4	IO2	IO2
K5	IO2	IO2
K6	IO2	IO2
K7	IO3	IO3
K8	IO3	IO3
K9	IO3	IO3
K10	IO4	IO4
K11	IO4	IO4
K12	IO4	IO4
L1	IO1	IO1
L2	CCLK	CCLK
L3	V _{CCCNFG}	V _{CCCNFG}
L4	V _{CCCNFG}	V _{CCCNFG}
L5	IO2	IO2
L6	IO2	IO2
L7	IO2	IO2
L8	IO3	IO3
L9	V _{CC}	V _{CC}
L10	IO3	IO3
L11	IO3	IO3
L12	IO4	IO4
M1	IO2	IO2
M2	CCE	CCE
M3	Reset	Reset
M4	V _{CCIO2}	V _{CCIO2}
M5	V _{CCIO2}	V _{CCIO2}
M6	IO2	IO2
M7	IO2	IO2
M8	V _{CCIO3}	V _{CCIO3}
M9	V _{CCIO3}	V _{CCIO3}
M10	IO3	IO3
M11	IO3	IO3
M12	IO3	IO3



PRELIMINARY

Quantum38K™ ISR™ CPLD Family—Pin Tables

Table 4. 256 FBGA Pin Table

Pin	CY38015	CY38030	CY38050	CY38100
A1	GND	GND	GND	GND
A2	NC	IO7	IO7	IO7
A3	NC	IO7	IO7	IO7
A4	IO7	IO7	IO7	IO7
A5	IO7	IO7	IO7	IO7
A6	IO7	IO7	IO7	IO7
A7	IO7	IO7	IO7	IO7
A8	IO6	IO6	IO6	IO6
A9	NC	IO6	IO6	IO6
A10	NC	NC	IO6	IO6
A11	IO6	IO6	IO6	IO6
A12	IO6	IO6	IO6	IO6
A13	IO6	IO6	IO6	IO6
A14	IO6	IO6	IO6	IO6
A15	IO6	IO6	IO6	IO6
A16	GND	GND	GND	GND
B1	IO0	IO0	IO0	IO0
B2	GND	GND	GND	GND
B3	NC	IO7	IO7	IO7
B4	NC	IO7	IO7	IO7
B5	IO7	IO7	IO7	IO7
B6	NC	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}
B7	NC	NC	V _{CC}	V _{CC}
B8	IO7	IO7	IO7	IO7
B9	IO6	IO6	IO6	IO6
B10	V _{CC}	V _{CC}	V _{CC}	V _{CC}
B11	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
B12	IO6	IO6	IO6	IO6
B13	IO6	IO6	IO6	IO6
B14	IO6	IO6	IO6	IO6
B15	GND	GND	GND	GND
B16	TDO	TDO	TDO	TDO
C1	IO0	IO0	IO0	IO0
C2	IO0	IO0	IO0	IO0
C3	GND	GND	GND	GND
C4	IO7	IO7	IO7	IO7
C5	IO7	IO7	IO7	IO7
C6	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}
C7	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}	V _{CCIO7}

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
C8 ^[2]	NC	IO7	IO7	IO7
C9 ^[2]	NC	IO6	IO6	IO6
C10	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
C11	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}	V _{CCIO6}
C12	IO6	IO6	IO6	IO6
C13	IO6	IO6	IO6	IO6
C14	GND	GND	GND	GND
C15	TDI	TDI	TDI	TDI
C16	NC	IO5	IO5	IO5
D1	IO0	IO0	IO0	IO0
D2	IO0	IO0	IO0	IO0
D3	IO0	IO0	IO0	IO0
D4	GND	GND	GND	GND
D5	NC	IO7	IO7	IO7
D6	NC	NC	IO7	IO7
D7	IO7	IO7	IO7	IO7
D8 ^[2]	IO7	IO7	IO7	IO7
D9 ^[2]	NC	IO6	IO6	IO6
D10	NC	IO6	IO6	IO6
D11	IO6	IO6	IO6	IO6
D12	IO6	IO6	IO6	IO6
D13	GND	GND	GND	GND
D14	TCLK	TCLK	TCLK	TCLK
D15	NC	IO5	IO5	IO5
D16	NC	IO5	IO5	IO5
E1	IO0	IO0	IO0	IO0
E2	IO0	IO0	IO0	IO0
E3	IO0	IO0	IO0	IO0
E4	IO0	IO0	IO0	IO0
E5	NC	IO7	IO7	IO7
E6	IO7	IO7	IO7	IO7
E7	IO7	IO7	IO7	IO7
E8 ^[2]	IO7	IO7	IO7	IO7
E9 ^[2]	NC	IO6	IO6	IO6
E10	NC	IO6	IO6	IO6
E11	IO6	IO6	IO6	IO6
E12	TMS	TMS	TMS	TMS
E13	IO5	IO5	IO5	IO5
E14	IO5	IO5	IO5	IO5

Note:

- Capacitance on these I/O pins meets the PCI spec (rev. 2.2), which requires IDSEL pin in a PCI design to have capacitance less than or equal to 8pF. In the document titled "Quantum38K CPLD Family datasheet", this spec is defined as C_{PCI}. All other I/O pins have a capacitance less than or equal to 10pF.

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
E15	IO5	IO5	IO5	IO5
E16	IO5	IO5	IO5	IO5
F1	IO0	IO0	IO0	IO0
F2	V _{CC}	V _{CC}	V _{CC}	V _{CC}
F3	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}
F4	IO0	IO0	IO0	IO0
F5	IO0	IO0	IO0	IO0
F6	IO7	IO7	IO7	IO7
F7	GCTL3	GCTL3	GCTL3	GCTL3
F8	GCLK3	GCLK3	GCLK3	GCLK3
F9	GCTL2	GCTL2	GCTL2	GCTL2
F10	GCLK2	GCLK2	GCLK2	GCLK2
F11	IO5	IO5	IO5	IO5
F12	IO5	IO5	IO5	IO5
F13	IO5	IO5	IO5	IO5
F14	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}
F15	V _{CCJTAG}	V _{CCJTAG}	V _{CCJTAG}	V _{CCJTAG}
F16	IO5	IO5	IO5	IO5
G1	IO0	IO0	IO0	IO0
G2	NC	NC	V _{CC}	V _{CC}
G3	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}	V _{CCIO0}
G4	IO0	IO0	IO0	IO0
G5	IO0	IO0	IO0	IO0
G6	GCTL0	GCTL0	GCTL0	GCTL0
G7	GND	GND	GND	GND
G8	GND	GND	GND	GND
G9	GND	GND	GND	GND
G10	GND	GND	GND	GND
G11	GCTL1	GCTL1	GCTL1	GCTL1
G12	IO5	IO5	IO5	IO5
G13	IO5	IO5	IO5	IO5
G14	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}	V _{CCIO5}
G15	NC	V _{CC}	V _{CC}	V _{CC}
G16	IO5	IO5	IO5	IO5
H1 ^[2]	NC	IO0	IO0	IO0
H2 ^[2]	NC	IO0	IO0	IO0
H3 ^[2]	NC	IO0	IO0	IO0
H4	IO0	IO0	IO0	IO0
H5	NC	IO0	IO0	IO0
H6	GCLK0	GCLK0	GCLK0	GCLK0
H7	GND	GND	GND	GND

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
H8	GND	GND	GND	GND
H9	GND	GND	GND	GND
H10	GND	GND	GND	GND
H11	GCLK1	GCLK1	GCLK1	GCLK1
H12	NC	IO5	IO5	IO5
H13	IO5	IO5	IO5	IO5
H14 ^[2]	IO5	IO5	IO5	IO5
H15 ^[2]	IO5	IO5	IO5	IO5
H16 ^[2]	IO5	IO5	IO5	IO5
J1	IO1	IO1	IO1	IO1
J2	IO1	IO1	IO1	IO1
J3 ^[2]	IO1	IO1	IO1	IO1
J4 ^[2]	IO1	IO1	IO1	IO1
J5 ^[2]	IO1	IO1	IO1	IO1
J6	IO1	IO1	IO1	IO1
J7	GND	GND	GND	GND
J8	GND	GND	GND	GND
J9	GND	GND	GND	GND
J10	GND	GND	GND	GND
J11	NC	IO4	IO4	IO4
J12 ^[2]	NC	IO4	IO4	IO4
J13 ^[2]	NC	IO4	IO4	IO4
J14 ^[2]	IO4	IO4	IO4	IO4
J15	IO5	IO5	IO5	IO5
J16	IO5	IO5	IO5	IO5
K1	IO1	IO1	IO1	IO1
K2	V _{CC}	V _{CC}	V _{CC}	V _{CC}
K3	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}
K4	IO1	IO1	IO1	IO1
K5	IO1	IO1	IO1	IO1
K6	IO1	IO1	IO1	IO1
K7	GND	GND	GND	GND
K8	GND	GND	GND	GND
K9	GND	GND	GND	GND
K10	GND	GND	GND	GND
K11	NC	IO4	IO4	IO4
K12	IO4	IO4	IO4	IO4
K13	IO4	IO4	IO4	IO4
K14	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}
K15	V _{CC}	V _{CC}	V _{CC}	V _{CC}
K16	IO4	IO4	IO4	IO4

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
L1	IO1	IO1	IO1	IO1
L2	NC	NC	V _{CC}	V _{CC}
L3	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}	V _{CCIO1}
L4	IO1	IO1	IO1	IO1
L5	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
L6	Config_Done	Config_Done	Config_Done	Config_Done
L7	IO2	IO2	IO2	IO2
L8 ^[2]	IO2	IO2	IO2	IO2
L9 ^[2]	IO3	IO3	IO3	IO3
L10	IO3	IO3	IO3	IO3
L11	IO3	IO3	IO3	IO3
L12	IO4	IO4	IO4	IO4
L13	IO4	IO4	IO4	IO4
L14	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}	V _{CCIO4}
L15	NC	NC	V _{CC}	V _{CC}
L16	IO4	IO4	IO4	IO4
M1	IO1	IO1	IO1	IO1
M2	IO1	IO1	IO1	IO1
M3	IO1	IO1	IO1	IO1
M4	Data	Data	Data	Data
M5	Reconfig	Reconfig	Reconfig	Reconfig
M6	IO2	IO2	IO2	IO2
M7	IO2	IO2	IO2	IO2
M8 ^[2]	IO2	IO2	IO2	IO2
M9 ^[2]	IO3	IO3	IO3	IO3
M10	IO3	IO3	IO3	IO3
M11	IO3	IO3	IO3	IO3
M12	IO3	IO3	IO3	IO3
M13	IO4	IO4	IO4	IO4
M14	IO4	IO4	IO4	IO4
M15	IO4	IO4	IO4	IO4
M16	IO4	IO4	IO4	IO4
N1	IO1	IO1	IO1	IO1
N2	IO1	IO1	IO1	IO1
N3	NC	IO1	IO1	IO1
N4	GND	GND	GND	GND
N5	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
N6	IO2	IO2	IO2	IO2
N7	IO2	IO2	IO2	IO2
N8 ^[2]	NC	IO2	IO2	IO2
N9 ^[2]	IO3	IO3	IO3	IO3

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
N10	IO3	IO3	IO3	IO3
N11	NC	NC	IO3	IO3
N12	IO3	IO3	IO3	IO3
N13	GND	GND	GND	GND
N14	IO4	IO4	IO4	IO4
N15	IO4	IO4	IO4	IO4
N16	IO4	IO4	IO4	IO4
P1	NC	IO1	IO1	IO1
P2	NC	IO1	IO1	IO1
P3	GND	GND	GND	GND
P4	CCE	CCE	CCE	CCE
P5	IO2	IO2	IO2	IO2
P6	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
P7	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
P8	NC	IO2	IO2	IO2
P9	NC	IO2	IO2	IO2
P10	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
P11	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
P12	IO3	IO3	IO3	IO3
P13	NC	IO3	IO3	IO3
P14	GND	GND	GND	GND
P15	IO4	IO4	IO4	IO4
P16	IO4	IO4	IO4	IO4
R1	NC	IO1	IO1	IO1
R2	GND	GND	GND	GND
R3	CCLK	CCLK	CCLK	CCLK
R4	IO2	IO2	IO2	IO2
R5	IO2	IO2	IO2	IO2
R6	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}	V _{CCCNFG}
R7	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}	V _{CCIO2}
R8	NC	IO2	IO2	IO2
R9	NC	IO2	IO2	IO2
R10	V _{CC}	V _{CC}	V _{CC}	V _{CC}
R11	NC	V _{CCIO3}	V _{CCIO3}	V _{CCIO3}
R12	IO3	IO3	IO3	IO3
R13	NC	IO3	IO3	IO3
R14	NC	IO3	IO3	IO3
R15	GND	GND	GND	GND
R16	IO4	IO4	IO4	IO4
T1	GND	GND	GND	GND
T2	Reset	Reset	Reset	Reset
T3	IO2	IO2	IO2	IO2

Table 4. 256 FBGA Pin Table (continued)

Pin	CY38015	CY38030	CY38050	CY38100
T4	IO2	IO2	IO2	IO2
T5	IO2	IO2	IO2	IO2
T6	IO2	IO2	IO2	IO2
T7	NC	NC	IO2	IO2
T8	IO2	IO2	IO2	IO2
T9	NC	IO2	IO2	IO2
T10	IO3	IO3	IO3	IO3
T11	IO3	IO3	IO3	IO3
T12	NC	IO3	IO3	IO3
T13	NC	IO3	IO3	IO3
T14	NC	IO3	IO3	IO3
T15	NC	IO3	IO3	IO3
T16	GND	GND	GND	GND

Table 5. 484 FBGA Pin Table

Pin	CY38050	CY38100
A1	GND	GND
A2	GND	GND
A3	NC	NC
A4	NC	NC
A5	NC	IO7
A6	NC	IO7
A7	NC	IO7
A8	NC	IO7
A9	NC	IO7
A10	NC	IO7
A11	GND	GND
A12	GND	GND
A13	NC	IO6
A14	NC	IO6
A15	NC	IO6
A16	NC	IO6
A17	NC	IO6
A18	NC	IO6
A19	NC	NC
A20	NC	NC
A21	GND	GND
A22	GND	GND
B1	GND	GND
B2	GND	GND
B3	NC	NC
B4	V _{CCIO7}	V _{CCIO7}
B5	NC	IO7

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
B6	IO7	IO7
B7	IO7	IO7
B8	NC	IO7
B9	NC	NC
B10	IO7	IO7
B11	NC	IO7
B12	NC	IO6
B13	NC	IO6
B14	NC	NC
B15	NC	IO6
B16	NC	IO6
B17	IO6	IO6
B18	IO6	IO6
B19	V _{CCIO6}	V _{CCIO6}
B20	NC	NC
B21	GND	GND
B22	GND	GND
C1	NC	NC
C2	NC	NC
C3	NC	NC
C4	IO7	IO7
C5	IO7	IO7
C6	IO7	IO7
C7	IO7	IO7
C8	IO7	IO7
C9	IO7	IO7
C10	NC	IO7

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
C11	NC	IO7
C12	IO6	IO6
C13	IO6	IO6
C14	IO6	IO6
C15	IO6	IO6
C16	IO6	IO6
C17	IO6	IO6
C18	IO6	IO6
C19	IO6	IO6
C20	NC	NC
C21	NC	NC
C22	NC	NC
D1	NC	NC
D2	V _{CCIO0}	V _{CCIO0}
D3	NC	NC
D4	GND	GND
D5	IO7	IO7
D6	IO7	IO7
D7	IO7	IO7
D8	IO7	IO7
D9	IO7	IO7
D10	IO7	IO7
D11	IO6	IO6
D12	IO6	IO6
D13	IO6	IO6
D14	IO6	IO6
D15	IO6	IO6
D16	IO6	IO6
D17	IO6	IO6
D18	IO6	IO6
D19	GND	GND
D20	NC	NC
D21	V _{CCIO5}	V _{CCIO5}
D22	NC	NC
E1	NC	NC
E2	NC	NC
E3	NC	NC
E4	IO0	IO0
E5	GND	GND
E6	IO7	IO7
E7	IO7	IO7
E8	IO7	IO7
E9	V _{CCIO7}	V _{CCIO7}
E10	V _{CC}	V _{CC}

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
E11	IO7	IO7
E12	IO6	IO6
E13	V _{CC}	V _{CC}
E14	V _{CCIO6}	V _{CCIO6}
E15	IO6	IO6
E16	IO6	IO6
E17	IO6	IO6
E18	GND	GND
E19	TDO	TDO
E20	NC	NC
E21	NC	NC
E22	NC	NC
F1	NC	NC
F2	NC	IO0
F3	NC	IO0
F4	IO0	IO0
F5	IO0	IO0
F6	GND	GND
F7	IO7	IO7
F8	IO7	IO7
F9	V _{CCIO7}	V _{CCIO7}
F10	V _{CCIO7}	V _{CCIO7}
F11 ^[2]	IO7	IO7
F12 ^[2]	IO6	IO6
F13	V _{CCIO6}	V _{CCIO6}
F14	V _{CCIO6}	V _{CCIO6}
F15	IO6	IO6
F16	IO6	IO6
F17	GND	GND
F18	TDI	TDI
F19	IO5	IO5
F20	NC	IO5
F21	NC	IO5
F22	NC	NC
G1	NC	NC
G2	NC	IO0
G3	NC	IO0
G4	IO0	IO0
G5	IO0	IO0
G6	IO0	IO0
G7	GND	GND
G8	IO7	IO7
G9	IO7	IO7
G10	IO7	IO7

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
G11 ^[2]	IO7	IO7
G12 ^[2]	IO6	IO6
G13	IO6	IO6
G14	IO6	IO6
G15	IO6	IO6
G16	GND	GND
G17	TCLK	TCLK
G18	IO5	IO5
G19	IO5	IO5
G20	NC	IO5
G21	NC	IO5
G22	NC	NC
H1	NC	NC
H2	NC	IO0
H3	NC	IO0
H4	IO0	IO0
H5	IO0	IO0
H6	IO0	IO0
H7	IO0	IO0
H8	IO7	IO7
H9	IO7	IO7
H10	IO7	IO7
H11 ^[2]	IO7	IO7
H12 ^[2]	IO6	IO6
H13	IO6	IO6
H14	IO6	IO6
H15	TMS	TMS
H16	IO5	IO5
H17	IO5	IO5
H18	IO5	IO5
H19	IO5	IO5
H20	NC	IO5
H21	NC	IO5
H22	NC	NC
J1	NC	NC
J2	NC	NC
J3	NC	IO0
J4	IO0	IO0
J5	V _{CC}	V _{CC}
J6	V _{CCIO0}	V _{CCIO0}
J7	IO0	IO0
J8	IO0	IO0
J9	IO7	IO7
J10	GCTL3	GCTL3

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
J11	GCLK3	GCLK3
J12	GCTL2	GCTL2
J13	GCLK2	GCLK2
J14	IO5	IO5
J15	IO5	IO5
J16	IO5	IO5
J17	V _{CCIO5}	V _{CCIO5}
J18	V _{CCJTAG}	V _{CCJTAG}
J19	IO5	IO5
J20	NC	IO5
J21	NC	NC
J22	NC	NC
K1	NC	NC
K2	NC	IO0
K3	NC	IO0
K4	IO0	IO0
K5	V _{CC}	V _{CC}
K6	V _{CCIO0}	V _{CCIO0}
K7	IO0	IO0
K8	IO0	IO0
K9	GCTL0	GCTL0
K10	GND	GND
K11	GND	GND
K12	GND	GND
K13	GND	GND
K14	GCTL1	GCTL1
K15	IO5	IO5
K16	IO5	IO5
K17	V _{CCIO5}	V _{CCIO5}
K18	V _{CC}	V _{CC}
K19	IO5	IO5
K20	NC	IO5
K21	NC	IO5
K22	NC	NC
L1	GND	GND
L2	NC	IO0
L3	NC	IO0
L4 ^[2]	IO0	IO0
L5 ^[2]	IO0	IO0
L6 ^[2]	IO0	IO0
L7	IO0	IO0
L8	IO0	IO0
L9	GCLK0	GCLK0
L10	GND	GND

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
L11	GND	GND
L12	GND	GND
L13	GND	GND
L14	GCLK1	GCLK1
L15	IO5	IO5
L16	IO5	IO5
L17 ^[2]	IO5	IO5
L18 ^[2]	IO5	IO5
L19 ^[2]	IO5	IO5
L20	NC	IO5
L21	NC	IO5
L22	GND	GND
M1	GND	GND
M2	NC	IO1
M3	NC	IO1
M4	IO1	IO1
M5	IO1	IO1
M6 ^[2]	IO1	IO1
M7 ^[2]	IO1	IO1
M8 ^[2]	IO1	IO1
M9	IO1	IO1
M10	GND	GND
M11	GND	GND
M12	GND	GND
M13	GND	GND
M14	IO4	IO4
M15 ^[2]	IO4	IO4
M16 ^[2]	IO4	IO4
M17 ^[2]	IO4	IO4
M18	IO5	IO5
M19	IO5	IO5
M20	NC	IO4
M21	NC	IO4
M22	GND	GND
N1	NC	NC
N2	NC	IO1
N3	NC	IO1
N4	IO1	IO1
N5	V _{CC}	V _{CC}
N6	V _{CCIO1}	V _{CCIO1}
N7	IO1	IO1
N8	IO1	IO1
N9	IO1	IO1
N10	GND	GND

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
N11	GND	GND
N12	GND	GND
N13	GND	GND
N14	IO4	IO4
N15	IO4	IO4
N16	IO4	IO4
N17	V _{CCIO4}	V _{CCIO4}
N18	V _{CC}	V _{CC}
N19	IO4	IO4
N20	NC	IO4
N21	NC	IO4
N22	NC	NC
P1	NC	NC
P2	NC	NC
P3	NC	IO1
P4	IO1	IO1
P5	V _{CC}	V _{CC}
P6	V _{CCIO1}	V _{CCIO1}
P7	IO1	IO1
P8	V _{CCCNFG}	V _{CCCNFG}
P9	Config_Done	Config_Done
P10	IO2	IO2
P11 ^[2]	IO2	IO2
P12 ^[2]	IO3	IO3
P13	IO3	IO3
P14	IO3	IO3
P15	IO4	IO4
P16	IO4	IO4
P17	V _{CCIO4}	V _{CCIO4}
P18	V _{CC}	V _{CC}
P19	IO4	IO4
P20	NC	IO4
P21	NC	NC
P22	NC	NC
R1	NC	NC
R2	NC	IO1
R3	NC	IO1
R4	IO1	IO1
R5	IO1	IO1
R6	IO1	IO1
R7	Data	Data
R8	Reconfig	Reconfig
R9	IO2	IO2
R10	IO2	IO2

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
R11 ^[2]	IO2	IO2
R12 ^[2]	IO3	IO3
R13	IO3	IO3
R14	IO3	IO3
R15	IO3	IO3
R16	IO4	IO4
R17	IO4	IO4
R18	IO4	IO4
R19	IO4	IO4
R20	NC	IO4
R21	NC	IO4
R22	NC	NC
T1	NC	NC
T2	NC	IO1
T3	NC	IO1
T4	IO1	IO1
T5	IO1	IO1
T6	IO1	IO1
T7	GND	GND
T8	V _{CCCNFG}	V _{CCCNFG}
T9	IO2	IO2
T10	IO2	IO2
T11 ^[2]	IO2	IO2
T12 ^[2]	IO3	IO3
T13	IO3	IO3
T14	IO3	IO3
T15	IO3	IO3
T16	GND	GND
T17	IO4	IO4
T18	IO4	IO4
T19	IO4	IO4
T20	NC	IO4
T21	NC	IO4
T22	NC	NC
U1	NC	NC
U2	NC	IO1
U3	NC	IO1
U4	IO1	IO1
U5	IO1	IO1
U6	GND	GND

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
U7	CCE	CCE
U8	IO2	IO2
U9	V _{CCIO2}	V _{CCIO2}
U10	V _{CCIO2}	V _{CCIO2}
U11	IO2	IO2
U12	IO2	IO2
U13	V _{CCIO3}	V _{CCIO3}
U14	V _{CCIO3}	V _{CCIO3}
U15	IO3	IO3
U16	IO3	IO3
U17	GND	GND
U18	IO4	IO4
U19	IO4	IO4
U20	NC	IO4
U21	NC	IO4
U22	NC	NC
V1	NC	NC
V2	NC	NC
V3	NC	NC
V4	IO1	NC
V5	GND	GND
V6	CCLK	CCLK
V7	IO2	IO2
V8	IO2	IO2
V9	V _{CCCNFG}	V _{CCCNFG}
V10	V _{CCIO2}	V _{CCIO2}
V11	IO2	IO2
V12	IO2	IO2
V13	V _{CC}	V _{CC}
V14	V _{CCIO3}	V _{CCIO3}
V15	IO3	IO3
V16	IO3	IO3
V17	IO3	IO3
V18	GND	GND
V19	IO4	NC
V20	NC	NC
V21	NC	NC
V22	NC	NC
W1	NC	NC
W2	V _{CCIO1}	V _{CCIO1}

**Table 5. 484 FBGA Pin Table (continued)**

Pin	CY38050	CY38100
W3	NC	NC
W4	GND	GND
W5	Reset	Reset
W6	IO2	IO2
W7	IO2	IO2
W8	IO2	IO2
W9	IO2	IO2
W10	IO2	IO2
W11	IO2	IO2
W12	IO2	IO2
W13	IO3	IO3
W14	IO3	IO3
W15	IO3	IO3
W16	IO3	IO3
W17	IO3	IO3
W18	IO3	IO3
W19	GND	GND
W20	NC	NC
W21	V _{CCIO4}	V _{CCIO4}
W22	NC	NC
Y1	NC	NC
Y2	NC	NC
Y3	NC	NC
Y4	IO2	IO2
Y5	IO2	IO2
Y6	IO2	IO2
Y7	IO2	IO2
Y8	NC	IO2
Y9	IO2	IO2
Y10	NC	IO2
Y11	IO2	IO2
Y12	IO3	IO3
Y13	NC	IO3
Y14	IO3	IO3
Y15	IO3	IO3
Y16	IO3	IO3
Y17	IO3	IO3
Y18	IO3	IO3
Y19	IO3	IO3
Y20	NC	NC
Y21	NC	NC
Y22	NC	NC
AA1	GND	GND
AA2	GND	GND

Table 5. 484 FBGA Pin Table (continued)

Pin	CY38050	CY38100
AA3	NC	NC
AA4	V _{CCIO2}	V _{CCIO2}
AA5	NC	IO2
AA6	IO2	IO2
AA7	NC	IO2
AA8	NC	IO2
AA9	NC	NC
AA10	IO2	IO2
AA11	IO2	IO2
AA12	NC	IO3
AA13	IO3	IO3
AA14	NC	NC
AA15	NC	IO3
AA16	IO3	IO3
AA17	IO3	IO3
AA18	NC	IO3
AA19	V _{CCIO3}	V _{CCIO3}
AA20	NC	NC
AA21	GND	GND
AA22	GND	GND
AB1	GND	GND
AB2	GND	GND
AB3	NC	NC
AB4	NC	NC
AB5	NC	IO2
AB6	NC	IO2
AB7	NC	IO2
AB8	NC	IO2
AB9	NC	IO2
AB10	NC	IO2
AB11	GND	GND
AB12	GND	GND
AB13	NC	IO3
AB14	NC	IO3
AB15	NC	IO3
AB16	NC	IO3
AB17	NC	IO3
AB18	NC	IO3
AB19	NC	NC
AB20	NC	NC
AB21	GND	GND
AB22	GND	GND



PRELIMINARY

Quantum38K™ ISR™ CPLD Family—Pin Tables

Document Title: Quantum38K™ ISR™ CPLD Family - Pin Tables CPLDs at ASIC Prices™ Document Number: 38-03042				
REV.	ECN NO.	Issue Date	Orig. of Change	Description of Change
**	106746	04/25/01	RN/SZV	1. New Data Sheet 2. Transfer from Spec number 38-01060 to 38-03042